PATENT ABSTRACTS OF JAPAN

(11) Publication number:

02-188944

(43) Date of publication of application: 25.07.1990

(51)Int.Cl.

H01L 21/82 H01L 27/04

(21) Application number: **01-009406**

(71)Applicant: SHARP CORP

(22)Date of filing:

17.01.1989

(72)Inventor:

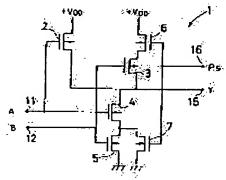
KONO MASAHIRO

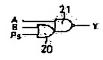
(54) SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE

(57) Abstract:

PURPOSE: To make an analysis, from the outside, of an incorporated circuit constitution difficult and to prevent the circuit constitution from being imitated by other persons by a method wherein an operation which is realized by a second semiconductor circuit element and a first semiconductor circuit element connected to it is made equal to an operation of the first semiconductor circuit element.

CONSTITUTION: In a semiconductor integrated circuit device where a plurality of semiconductor circuit elements have been formed, a second semiconductor circuit element of a specific kind is formed by being connected to a first semiconductor circuit element which is decided in advance; and the second semiconductor element is selected in such a way that an operation realized by the second semiconductor circuit element and by the first semiconductor circuit element





connected to it is equal to an operation of the first semiconductor circuit element. For example, a dummy P-type MOSFET 6 which is always in a conductive state irrespective of a level of a signal to be input from a dummy input terminal 16 and a dummy N-type MOSFET 7 which is always in a shut-off state are added to two P-type MOSFET's 2, 3 and two N-type MOSFET's 4, 5 which constitute a two-input NAND circuit; and a composite gate of an OR-NAND type in terms of a wiring operation is constituted.

LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑩ 日本国特許庁(JP)

(1) 特許出願公開

@ 公 開 特 許 公 報 (A) 平2-188944

®Int.CI.⁵

識別記号

庁内整理番号

❸公開 平成 2年(1990) 7月25日

H 01 L 21/82 27/04

7514-5 F 8526-5 F

H 01 L 21/82

R

審査請求 未請求 請求項の数 1 (全5頁)

60発明の名称

半導体集積回路装置

②特 顕 平1-9406

②出 願 平1(1989)1月17日

@発明者 河野

砂 裕

大阪府大阪市阿倍野区長池町22番22号 シャープ株式会社

内

⑪出 願 人 シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

個代 理 人 弁理士 西教 圭一郎 外1名

明 相 1

1、発明の名称

半導体集積回路装置

2、特許請求の範囲

複数の半導体回路素子が形成されて成る半導体 性額回路装置において、

予め定められる第1半導体回路素子に特定種類 の第2半導体回路素子を接続して形成し、

前紀第2半導体回路素子は、該第2半導体回路 素子とこれが接続された第1半導体回路素子とが 実現する動作が前記第1半導体回路素子の動作と 等しくなるように選ばれるようにしたことを特徴 とする半導体集積回路装置。

3、発明の詳細な説明

産業上の利用分野

本見明は、いわゆるマスタ・スライス方式による大規模集積回路(LSI)などに好適に実施される半導体集積回路装置に関する。

従来の技術

一般に、新たな論理しSI(いわゆるフル・カ

スタムしSI)を作るためには節大な開発期間と費用がかるために多品類少量生産はできない。そこで、ユーザの多様な要求に合った大規模集積回路を短期間に安保でままった。このようなといるとは、新聞の路装置が用いられる。このような半準体集積回路装置は、いわゆるゲート・アレイしSIと称され、前述したフル・カスタムしSIに比べて、集積度や高速性の点で少し劣るけれども、マスク開発があるために、多品種少量生産には有利である。

このようなマスタ・スライス型の半導体集積回路装置では、複数のトランジスタなどによって予め形成された各種のゲート(マスタ)に対して適宜金属配線を行うことによって、希望する論理回路を構成して製品化される。

発明が解決しようとする課題

このように製品化された半導体 集積 回路装置は、 出荷後に金属配線などの接続構成などを金属関数 銭などによって解析することによって 該半導体集

特開平2-188944 (2)

種回路装置内に相込まれた論理可路を再現することが可能となる。このように製造者に不利益になるような行為を防止するために、手作業に出るがイアウトで論理回路を数計する場合には各者がなけるといるけれども、量度されているけれども、量度でははなりで、スライス型の半導体集積回路装置ではなるに 提供されやすくなる。

本発明の目的は、相込まれる回路構成の外部からの解析を困難にすることによって、その回路構成が他者に収敛されることを防止することができる半導体集積回路装置を提供することである。

課題を解決するための手段

本発明は、複数の半導体回路素子が形成されて 成る半導体集積回路装置において.

予め定められる第1半導体回路業子に特定機類 の第2半導体回路業子を接続して形成し、

前記算2半導体回路業子は、該第2半導体回路 業子とこれが接続された第1半導体回路票子とが

љ б.

本実施例の半導体回路業子1は、いわゆるマスタースライス製半導体集積回路装置に用いられるものであり、検述される冗長覆似動作回路を付加してその配線上からはOR-NAND型の複合ゲートに見えるように設計されており、実質上は 2 入力NAND回路の動作が実現されるものである。

実現する 動作が前記第1半導体回路業子の動作と 等しくなるように選ばれるようにしたことを特徴 とする半導体集積回路装置である。

作用

本発明に従えば、第1半準体回路案子に接続される第2半準体回路業子は、当該第2半導体回路業子は、当該第2半導体回路業子とこれが接続された前記第1半導体回路業子の動作が前記がれるので、第2半導体回路業子は実質的な動作に寄与しない元長の体積はを有する。したがって、このような半導体は低を有する。したがって、このような半導体はを積積を有する。他者の模倣の防止することができる。

実 施 例

第1 図は本 発明の一実施例の半導体集積回路装置の一部を構成する半導体回路素子1 の平面図であり、第2 図は半導体回路素子1 に用いられる冗長設計による P型MOS(金属一酸化膜-半導体)トランジスタの構成を示す断面図であり、第3 図はN型MOSトランジスタの構成を示す断面図で

トランジスタが構成される。

P型トランジスタ 2 および N型トランジスタ 4 のゲートには、一方入力端子11がそれぞれ共通 に接続され、P型トランジスタ3およびN型トラ ンジスタ5のゲートには他方入力増子12がそれ ぞれ共通に接続される。P型トランジスタ2およ び最似P型トランジスタ6のソースにはそれぞれ 直波電源が接続される。 擬似P型トランジスタ 6 のドレインはP型トランジスタ3のソースに接続 される。P型トランジスタ2、3の各ドレインお よびN型トランジスタイのソースはそれぞれ共通 に出力端子15に接続され、N里トランジスタ4 のドレインおよび N 型トランジスタ5のソースは **収収N型トランジスタフのソースに接続され、N** 型トランジスタ5および提成N型トランジスタ7 のドレインはそれぞれ共通に接地される。 擬似P 型トランジスタ6および提供N里トランジスタフ のゲートには、提供入力端子16がそれぞれ共通 に接続される。

このような構成を有する半導体回路素子1は、

特別平2-188944(3)

その配線上第5回に示されるようにOR-NAN D型の複合ゲートを構成する。すなわち、前記他 方入力 塩子 1 2 および 挺 似入力 塩子 1 6 が O R 回 路20の各入力端子とされ、前記一方入力端子) 1がAND回路21の一方入力端子とされるとと もに、前記出力端子15がこのOR-NAND型 の複合ゲートの出力端子とされる。

前記擬似P型トランジスタ6は、後述されるイ オン注入技術によって常に導通状態となるように 設定されている。すなわち、イオン注入技術によっ てそのしきい値電圧を比較的高く設定することに よって、擬似入力端子16から入力される信号の レベルにかかわらず常に導通状態となるように設 定されている。同様にして擬似N型トランジスタ 7もイオン注入技術によって常に遮断状態となる ように設定されている。

したがって、この半導体回路素子1は、実質的 に第6囚に示されるような等価回路となる。すな わち、前記提供入力端子16からの入力信号のレ ベルにかかわらず擬似P型トランジスタ6は導道

状態であり脱以N型トランジスタフは遮断状態に あるので、これら2つのトランジスタも、7は、 坐進休回路最子1の実質的な動作には寄与しない。 したがってこの半導体回路素子1は、その実質的 な動作に着目すれば、第7図に示されるように2 入力NAND回路と等価である。

次に、第1図~第3図を参照して、この半導体 回路素子1の構成について説明する。

第1図を参照して、半導体回路素子1は、大略 的にP型トランジスタ領域31とN型トランジス 夕飯域32とに分けられる。各トランジスタ旗域 31.32には、P型トランジスタのソース・ド レイン用のP・拡散領域33およびN型トランジ スタのソース・ドレイン用のN・拡散領域34が それぞれ設けられる。各拡散領域33、34上に は相互に間隔をあけてそれぞれゲート用ポリシリ コン35.36,37;38,39,40が形成 tha.

P型トランジスタ類域31個のゲート用ポリシ リコン35、36、37とN型トランジスタ領域

3 2 のゲート用ポリシリコン 3 8 . 3 9 . 4 0 は、 シに対応している。 それぞれコンタクトホール41、42、43:4 4、45、46を介してアルミニウムから成る金 鼠配線 47、 48、 49によって相互に電気的に 按校される。これら金属配根47、48、49は、 それぞれ第4回に示される一方入力端子11、他 方入力 端子12、および提供入力端子16にそれ **もれ対応している。**

P: 鉱散領域33には、ゲート用ポリシリコン 3.5.37の相互に反対側の部分にはコンタクト ホール51、52;53、54を介して金森配線 55、56が塩気的に接続される。これらの金属 配線55,56は、前記P型トランジスタ2およ び提供P型トランジスタ6のソースにそれぞれ対 応している。またこの P・拡散領域33のゲート 用ポリシリコン35、36同の部分にはコンタク トホール57、58を介して金属配線59の一方 関端部が接続される。この金属配線59の一方側 端部はゲート用ポリシリコン35、36がゲート 電板とされるP型トランジスタ2、3の各ドレイ

この金属配数59の他方側端部はまたN・拡散 領域34のゲート用ポリシリコン44の第1図左 方側の部分にコンタクトホール60、61を介し て接続される。すなわち、この金具配数59の他 方側端部は前記N型トランジスタ4のソースとさ れる。N・拡散領域34のゲート用ポリシリコン 38、39間の部分にはコンタクトホール62、 63を介して金属配線64の一方側端部が接続さ れる。この金属配数64の他方側端部は、N・拡 散領域34におけるゲート用ポリシリコン40の 第1 図右方側の部分にコンタクトホール 6 5 . 6 6を介して接続される。

すなわち、この金属配線64の一方間端部は、 前足N型トランジスタ4、5のドレインおよびソ ースとされ、その他方側端部は擬似N型トランジ スタフのソースとされる。N、拡散領域34のゲ ート用ポリシリコン45、46間の部分にはコン タクトホール67、68を介して金属配線69が 接続される。この金属配線69はN型トランジス

特閒平2-188944 (4)

タ 5 および 仮以 N 型トランジスタ 7 の各ドレインとされ、接地される。

次に、第1図および第2図を参照して、擬似P型トランジスタ6の構成について説明する。

類似 P型トランジスタ G は、N・ーウェル 勝 7 O 上に ゲート 用ボリ シリコン 3 7 の 両相部に P・
拡 散 領域 7 1 、 7 2 間 の N・ーウェル 展 7 O の 部 放 領域 7 1 、 7 2 間 の N・ーウェル 展 7 O の 部 放 領域 7 1、 7 2 間 の N・ーウェル 展 7 O の 部 放 領域 7 3 と さ れ る。 この チャネル 領域 7 3 上に ホウ素 イオンが 注入 さ れ て P・拡散 徹域 7 4 上に ゲート 酸 化 限 7 5 を 介 し て 前 記 ゲート 用 ポリシリコン 3 7 が 形成 さ れ て い る。

このような P・ 鉱 散 類 域 7 4 を 形成することによって、 該 歴 似 P 型 トランジスタ 6 のしきい 値 電 圧を ずらすことができ、 ゲート 用ポリシリコン 3 7 に 印加される ゲート 電圧の レベルにかかわらず 然に 準 通 状態に することが できる。 なお、この ホウ素 イオン 注入による P・ 拡 散 額 域 7 5 を 形成 しなければ、 通常の P 型 トランジスタとなる。 第 3

その秘密性が保持される。 なお、前述したイオン 注入を行う際には、 その場所を特定するマスクを 用いてこれを行うようにする。

本実施例では、比較的簡単な回路構成について 説明したけれども、実際に用いられる単導体を育 回路装置においては、さらに複雑な回路構成を有 する半導体回路素子を多数用いることによって、 さらにその秘密性を向上することができる。なお、 同一の動作を実現する回路構成においても、イオ ン注入を行う場所を変更することができる。 秘密性をさらに向上させることができる。

したがって、このような半導体回路素子の半導体部分が予め形成されており、金属配線によって希望する回路構成に実現されるマスタ・スライス型 集積回路装置においても、その利点である工程数・マスク枚数の少なさを損なうことなく、秘密性を向上して他者による解析を困難にすることができる。

発明の効果

以上のように本発明に従えば、組込まれた回路

このように形成された半導体回路業子1においては、前途したホウ素イオン注入によるP・拡散 関城74.85は金属顕微鏡などでは解析し難いために、その配線上からはOR-NAND回路のように見える。したがってこの配線構造上からはこの半導体回路素子1が実質的にNAND回路の動作を行うものであることを知ることができず、

構成の内容を他者に複倣されることなく、秘密性 を向上することができる。

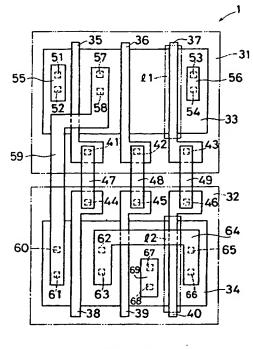
4、図面の簡単な説明

第1 図は本発明の一実施例に用いられる半導体 集積回路装置の一部を構成する半導体回路累子1 の構成を示す平面図、第2 図は擬似 P 型トランジスタ 6 の構成を示す断面図、第3 図は擬似 N 型トランジスタ 7 の構成を示す断面図、第4 図 および第5 図は半導体回路器子1 の関係の実質的な等価回路図である。

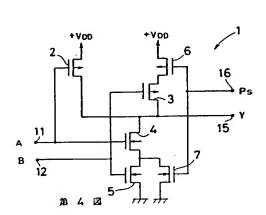
1 … 半導体回路業子、 2 、 3 … P型トランジスタ、 4 、 5 … N型トランジスタ、 6 … 擬似 P型トランジスタ、 7 … 擬似 N型トランジスタ、 3 3 、7 4 、 8 5 … P・ 拡散領域

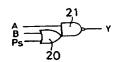
代理人 弁理士 西教 圭一郎

等開平2-188944**(5)**

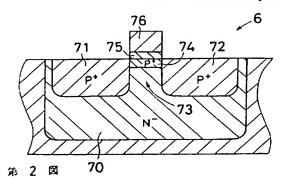


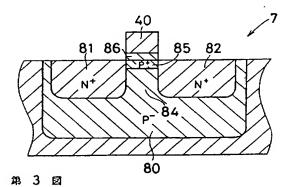
第 1 図

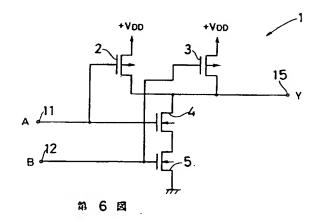


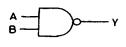


28 5 Z









19 7 E

This Page is Inserted by IFW Indexing and Scanning Operations and is not part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

D BLACK BORDERS
☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
☐ FADED TEXT OR DRAWING
☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
☐ SKEWED/SLANTED IMAGES
☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
GRAY SCALE DOCUMENTS
☐ LINES OR MARKS ON ORIGINAL DOCUMENT
☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
□ OTHER:

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.